

IMAGE SIGNAL PROCESSOR

Patent Number: JP2000013639
Publication date: 2000-01-14
Inventor(s): OWADA TAKAYUKI
Applicant(s): SHARP CORP
Requested Patent: JP2000013639
Application Number: JP19980179893 19980626
Priority Number(s):
IPC Classification: H04N5/14; G09G3/20; G09G3/36; G09G5/00; G09G5/12; H04N5/073
EC Classification:
Equivalents: JP3347064B2

Abstract

PROBLEM TO BE SOLVED: To prevent an output image from being unpleasant to look at even in the case of a system that has different frame rates between input and output.

SOLUTION: A frame memory 9 has an address control circuit which has capacity for plural images and outputs an address to store image data in the memory 9 or to read it so as to prevent output data passing. The memory 9 has an address control circuit 8 which has capacity for plural images and outputs an address to store image data in the memory 9 or to read it so as to prevent input data passing.

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-13639

(P2000-13639A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/14		H 0 4 N 5/14	Z 5 C 0 0 6
G 0 9 G 3/20	6 3 1	G 0 9 G 3/20	6 3 1 B 5 C 0 2 0
3/36		3/36	5 C 0 2 1
5/00		5/00	5 2 0 V 5 C 0 8 0
	5 5 0		5 5 0 P 5 C 0 8 2

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平10-179893

(22) 出願日 平成10年6月26日 (1998.6.26)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大和田 貴之

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆嗣

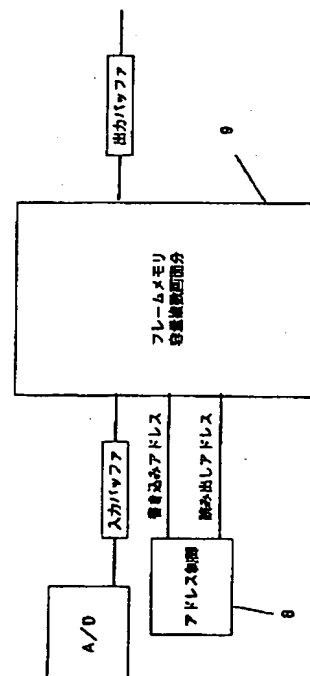
最終頁に続く

(54) 【発明の名称】 画像信号処理装置

(57) 【要約】

【課題】 従来技術では、入出力で異なるフレームレートを持つシステムの時、画面内で追い越しが生じ、非常に見苦しい画面となる。

【解決手段】 本発明では、フレームメモリが複数画面分の容量を持ち画面内において出力データ追い越しが起これないように画面データをフレームメモリ内に格納、また読み出すアドレスを出力するアドレス制御回路を持つ。フレームメモリが複数画面分の容量を持ち、画面内において入力データ追い越しが起これないように画面データをフレームメモリ内に格納、また読み出すアドレスを出力するアドレス制御回路を持つ。



【特許請求の範囲】

【請求項1】 2画面分のデータ容量を有し、且つ2つの第1及び第2のメモリ領域を有するフレームメモリと、

入力フレームデータは、先に前記第1のメモリ領域に書き込み、後に前記第2のメモリ領域に書き込み、出力データは、先に前記第1のメモリ領域から読み出し、後に前記第2のメモリ領域から読み出し、入力フレームレートより出力フレームレートが大きい時、前記第2のメモリ領域に記憶された前フレームデータの読み出しが終了後、次に前記第1のメモリ領域の現フレームデータを読み込む時に、前記第1のメモリ領域に書き込み中の入力データ書き込みアドレスの値を考慮して、前記第1のメモリ領域内で入力現フレームデータを追い越すと判断した場合、出力データは前記第2のメモリ領域の前フレームデータを読み出すように制御するアドレス制御部とを備えてなる画像信号処理装置。

【請求項2】 2画面分のデータ容量を有し、且つ2つの第1及び第2のメモリ領域を有するフレームメモリと、

入力フレームデータは、先に前記第1のメモリ領域に書き込み、後に前記第2のメモリ領域に書き込み、出力データは、先に前記第1のメモリ領域から読み出し、後に前記第2のメモリ領域から読み出し、出力フレームレートより入力フレームレートが大きい時、前記第1のメモリ領域に記憶された現フレームデータの或るラインデータを読み出した後、次に前記第1のメモリ領域に次々フレームデータを書き込み始める際、前記第1のメモリ領域内で入力データが出力データを追い越すかどうかを判断して、追い越すと判断した場合、以降の次々フレームデータの書き込みを中止し、次々々フレームデータより再び前記第1のメモリ領域に書き込みを開始するように制御するアドレス制御部とを備えてなる画像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶プロジェクトにおいて異なる入出力フレームレートを持つとき、出力画面内での追い越しの防止に好適な画像信号処理装置に関する。

【0002】

【従来の技術】入力フレームレートと出力フレームレートを変換するためのフレームメモリ周辺のブロック図が、図4に示してある。

【0003】データの流れを説明すると、図4に示すようにA/Dコンバータ1より出た画像データは入力バッファ2に一旦保存され、アドレス制御ブロック5から出る書き込みアドレス6により、1画面分の容量を持つフレームメモリ3に書き込まれる。

【0004】この際、データは入力フレームレートによ

るタイミングでフレームメモリ3に書き込まれていく。

【0005】一方、出力データは、アドレス制御ブロック5から出る読み出しアドレス7により、フレームメモリ3から読み出される。

【0006】この際、データは出力フレームレートによるタイミングでフレームメモリ3から読み出されていく。

【0007】入力フレームレートより出力フレームレートが大きい時、図5に示すように書き込みアドレスが示すMフレームNラインの入力データを書き込んだ後、出力データが読み出しアドレスが指すMフレームNラインの出力データを読み出し、そして本来なら、MフレームN+1ラインの出力データを読み出すはずが、入力データが書き込まれていないため、M-1フレームN+1ラインの出力データを読み出してしまい、画面内で出力データ追い越しが生じる。

【0008】出力フレームレートより入力フレームレートが大きい時、図6に示すように読み出しアドレスが指すMフレームNラインの出力データを読み出した後、入力データが書き込みアドレスが指すM+1フレームNライン、そしてM+1フレームN+1ラインの入力データを書き込み、次に出力データを読み出そうとする際、本来、MフレームN+1ラインの出力データを読み出すはずが、M+1フレームN+1ラインデータを読み出してしまい、画面内で入力データ追い越しが生じる。

【0009】

【発明が解決しようとする課題】以上のように、従来技術では、入出力で異なるフレームレートを持つシステムの時、画面内で追い越しが生じ、非常に見苦しい画面となる。

【0010】本発明は、入出力で異なるフレームレートを持つシステムの時でも、出力画面が見苦しくならぬようにすることを、その目的とするものである。

【0011】

【課題を解決するための手段】第1の本発明では、2画面分のデータ容量を有し、且つ2つの第1及び第2のメモリ領域を有するフレームメモリと、入力フレームデータは、先に前記第1のメモリ領域に書き込み、後に前記第2のメモリ領域に書き込み、出力データは、先に前記第1のメモリ領域から読み出し、後に前記第2のメモリ領域から読み出し、入力フレームレートより出力フレームレートが大きい時、前記第2のメモリ領域に記憶された前フレームデータの読み出しが終了後、次に前記第1のメモリ領域の現フレームデータを読み込む時に、前記第1のメモリ領域に書き込み中の入力データ書き込みアドレスの値を考慮して、前記第1のメモリ領域内で入力現フレームデータを追い越すと判断した場合、出力データは前記第2のメモリ領域の前フレームデータを読み出すように制御するアドレス制御部とを備えている。

【0012】第2の本発明では、2画面分のデータ容量

を有し、且つ2つの第1及び第2のメモリ領域を有するフレームメモリと、入力フレームデータは、先に前記第1のメモリ領域に書き込み、後に前記第2のメモリ領域に書き込み、出力データは、先に前記第1のメモリ領域から読み出し、後に前記第2のメモリ領域から読み出し、出力フレームレートより入力フレームレートが大きい時、前記第1のメモリ領域に記憶された現フレームデータの或るラインデータを読み出した後、次に前記第1のメモリ領域に次々フレームデータを書き込み始める際、前記第1のメモリ領域内で入力データが出力データを追い越すかどうかを判断して、追い越すと判断した場合、以降の次々フレームデータの書き込みを中止し、次々々フレームデータより再び前記第1のメモリ領域に書き込みを開始するように制御するアドレス制御部とを備えている。

【0013】

【発明の実施の形態】図1において、フレームメモリ9は2画面分のデータの容量を持っている。図2に示すように、その中のメモリ領域をA、Bと半分に分けそれぞれ1画面分のデータを保持できるものとする。

【0014】入力フレームデータはメモリ領域A、Bの順番に書き込むように、アドレス制御部8でアドレスを制御する。また出力データもメモリ領域A、Bのデータを順番に読み出すよう、アドレス制御部でアドレスを制御する。

【0015】入力フレームレートより出力フレームレートが大きい時、図1に示すように出力データがB領域のM-1フレームデータを読み出し終わり、次にA領域のMフレームデータを読み込む時に、A領域書き込み中の入力データ書き込みアドレスの値を考慮して、A領域内で入力Mフレームデータを追い越すとアドレス制御部8で判断したら、出力データは再度B領域のM-1フレームデータを読み出す。

【0016】この制御により、入力フレームレートより出力フレームレートが大きい時に生じる画面内での出力データ追い越しを防ぐことができるので、出力画面が見苦しくなることがなくなる。

【0017】出力フレームレートより入力フレームレートが大きい時、図3で示すように出力データがA領域のMフレームNラインデータを読み出した後、入力データはA領域にM+2フレームデータを書き込み始める際（B領域には既にM+1フレームデータを書き込み済み）、アドレス制御部8はA領域内で入力データが出力データを追い越すかどうか判断して、追い越すと判断した場合、以降のM+2フレームデータの書き込みを中止する。

【0018】そしてM+3フレームデータより再びA領域に書き込みを開始する。

【0019】この制御により、出力フレームレートより入力フレームレートが大きい時に生じる画面内での入力データ追い越しを防ぐことができるので、出力画面が見苦しくなることがなくなる。

【0020】

【発明の効果】本発明では、複数画面の容量を持つフレームメモリで、フレームメモリ内の異なる領域に順番に入力フレームデータを書き込んでいくと、出力フレームレートが入力フレームレートより大きい時、フレームの1番最初のデータを読み出す時に、同一フレームメモリ領域で出力データ読み出しが入力データ書き込みを追い越すと判断したら、もう一度、今読み出したフレームデータを読み出し、画面内で追い越しが起こらないようにする。

【0021】入力フレームレートが出力フレームレートより大きい時、同一フレームメモリ領域で入力フレームデータが出力フレームデータを追い越すと判断したら、書き込みを中止し再び同一フレームメモリ領域に次フレームデータより書き込みを開始して、画面内で追い越しが起こらないようにする。

【0022】これにより、フレームメモリ内に複数フレーム分のバッファを持ち、入出力データの追い越し判定アドレス制御により、画面内での追い越しを防止することが出来る。

【図面の簡単な説明】

【図1】本発明のブロック図である。

【図2】本発明の出力データ追い越し時のフレームメモリを示す図である。

【図3】本発明の入力データ追い越し時のフレームメモリを示す図である。

【図4】従来技術のブロック図を示す。

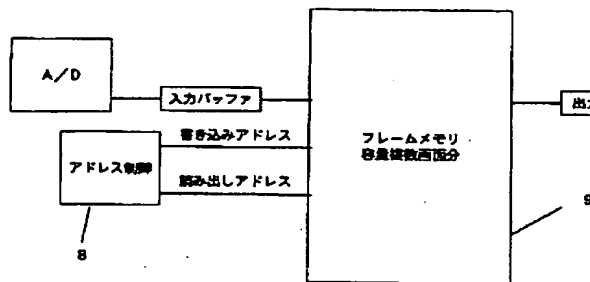
【図5】従来技術の出力データ追い越し時のフレームメモリを示す図である。

【図6】従来技術の入力データ追い越し時のフレームメモリを示す図である。

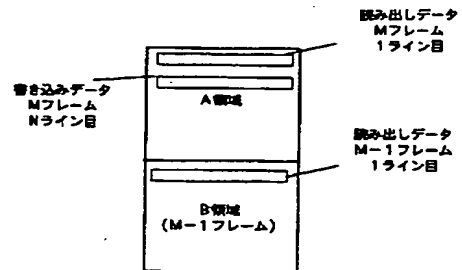
【符号の説明】

- 1 A/Dコンバータ
- 2 入力バッファ
- 3 フレームメモリ
- 4 出力バッファ
- 5 アドレス制御部
- 6 書き込みアドレス
- 7 読み出しアドレス

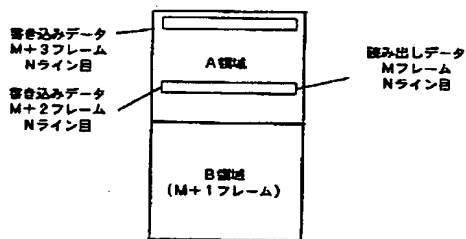
【図1】



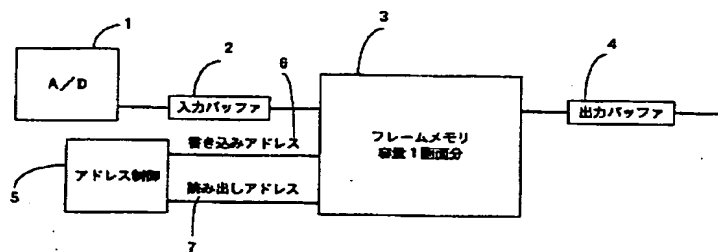
【図2】



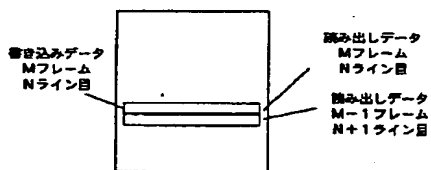
【図3】



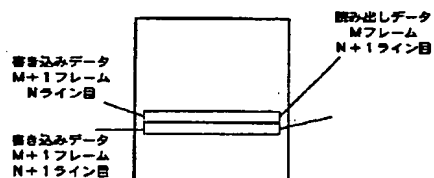
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 5/12

H 0 4 N 5/073

識別記号

F I

G 0 9 G 5/12

H 0 4 N 5/073

テマコード (参考)

B

(5) 開2000-13639 (P2000-136JL

Fターム(参考) 5C006 AF02 AF03 AF04 AF06 AF07
AF23 AF44 BB11 BC16 BF02
EC11 FA08
5C020 AA14
5C021 PA58 PA62 PA79 YC04
5C080 AA10 BB05 DD01 EE19 JJ02
JJ05
5C082 AA02 BA20 BB26 BC03 BC19
BD02 CA81 CA84 CA85 CB01
DA54 DA55 DA57 DA64 DA65
DA67 MM06 MM10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.